

CLIPPEDIMAGE= JP402052419A  
PAT-NO: JP402052419A  
DOCUMENT-IDENTIFIER: JP 02052419 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR SUBSTRATE  
PUBN-DATE: February 22, 1990  
INVENTOR-INFORMATION:  
NAME  
TAJIMA, KAZUHIRO  
NOGUCHI, TAKASHI  
ASSIGNEE-INFORMATION:  
NAME COUNTRY  
SONY CORP N/A  
APPL-NO: JP63203657  
APPL-DATE: August 16, 1988  
INT-CL (IPC): H01L021/20; H01L021/324  
US-CL-CURRENT: 438/482, 438/488

ABSTRACT:

PURPOSE: To crystallize a desired region by a method wherein ions are implanted selectively into an amorphous semiconductor film, a solid growth operation is executed in the amorphous semiconductor film and the amorphous semiconductor film is crystallized.

CONSTITUTION: A polycrystalline Si film 14 is deposited on a quartz substrate 13 by using CVD; ions of Si<SP>+</SP> 15 are implanted into the polycrystalline Si film 14; this polycrystalline Si film is made amorphous. When an amorphous Si film 11 is formed, it is not required to implant the ions of Si<SP>+</SP> 15. Then, a mask 21 of a photoresist is formed in such a way that, in the amorphous Si film 11, regions 16 to be crystallized are covered and regions 17 not to be crystallized are exposed. In this state, ions of Co<SP>+</SP> 22 are implanted into the amorphous Si film 11; in addition, the mask 21 is removed; a solid growth operation is executed in the amorphous Si film 11 by using a low-temperature heat treatment. A nucleus 12 is not generated in the regions 17 into which the ions of Co<SP>+</SP> 22 have been implanted. Accordingly, crystallization proceeds only in the regions 16; the regions 16 become islands in a crystallized region; it is possible to form the crystallized region in a desired region.

COPYRIGHT: (C)1990, JPO&Japio

DID:  
JP 02052419 A

CCXR:  
438/482

FPAR:

CONSTITUTION: A polycrystalline Si film 14 is deposited on a quartz substrate 13 by using CVD; ions of Si<SP>+</SP> 15 are implanted into the polycrystalline Si film 14; this polycrystalline Si film is made amorphous. When an amorphous Si film 11 is formed, it is not required to implant the ions of Si<SP>+</SP> 15. Then, a mask 21 of a photoresist is formed in such a way that, in the amorphous Si film 11, regions 16 to be crystallized are covered and regions 17

not to be crystallized are exposed. In this state, ions of Co<SP>+</SP> 22 are implanted into the amorphous Si film 11; in addition, the mask 21 is removed; a solid growth operation is executed in the amorphous Si film 11 by using a low-temperature heat treatment. A nucleus 12 is not generated in the regions 17 into which the ions of Co<SP>+</SP> 22 have been implanted. Accordingly, crystallization proceeds only in the regions 16; the regions 16 become islands in a crystallized region; it is possible to form the crystallized region in a desired region.

## ⑫ 公開特許公報(A)

平2-52419

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月22日

H 01 L 21/20  
21/324

7739-5F

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体基板の製造方法

⑯ 特 願 昭63-203657

⑰ 出 願 昭63(1988)8月16日

⑱ 発 明 者 田 島 和 浩 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
 ⑱ 発 明 者 野 口 隆 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
 ⑲ 出 願 人 ソ ニ ー 株 式 会 社 東京都品川区北品川6丁目7番35号  
 ⑳ 代 理 人 弁 理 士 土 屋 勝

## 明 細 書

## (発明の概要)

## 1. 発明の名称

半導体基板の製造方法

## 2. 特許請求の範囲

絶縁体基板上に非晶質半導体膜を形成する工程と、

炭素または酸素またはこれらを含む物質を前記非晶質半導体膜へ選択的にイオン注入する工程と、

前記イオン注入を行った前記非晶質半導体膜で固相成長を行わせてこの非晶質半導体膜を結晶化させる工程とを夫々具備する半導体基板の製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、絶縁体基板上に半導体膜を有する半導体基板の製造方法に関するものである。

本発明は、上記の様な半導体基板の製造方法において、炭素または酸素またはこれらを含む物質を絶縁体基板上の非晶質半導体膜に選択的にイオン注入し、この非晶質半導体膜で固相成長を行わせてこの非晶質半導体膜を結晶化させることによって、所望の領域のみが結晶化されている半導体基板や結晶粒径の大きな半導体基板を製造することができるようにしたものである。

## (従来の技術)

絶縁体基板上に半導体膜を有する半導体基板は、薄膜トランジスタの形成等に用いられており、例えば、石英基板上に多結晶Si膜をCVDで堆積させたものがある。

しかし、多結晶Si膜をCVDで堆積させただけでは結晶粒径があまり大きくない。このため、キャリア移動度もあまり高くなく、高性能の薄膜トランジスタを得ることができない。

そこで、CVDで堆積させた多結晶Si膜にSi・

をイオン注入して一旦非晶質Si膜とし、この非晶質Si膜で固相成長を行わせて、結晶粒径の大きな多結晶Si膜とする方法が考えられている（例えば、特開昭61-127118号公報）。

（発明が解決しようとする課題）

しかし固相成長では、第4図に示す様に、非晶質Si膜11中のランダムな位置に結晶化の核12が発生する。従って上述の従来例では、所望の領域のみが結晶化されている半導体基板を製造することができない。

また、核12から成長した結晶粒同士が接した段階で固相成長が停止するが、核12はランダムな位置に発生するので、上述の従来例でも結晶粒径が十分に大きな半導体基板は製造することができない。

（課題を解決するための手段）

本発明による半導体基板の製造方法は、絶縁体基板13上に非晶質半導体膜11を形成する工程

形成すれば、 $\text{Si}^{+} 15$ のイオン注入は不要である。

次に、第1B図に示す様に、多結晶Si膜14から非晶質化させた非晶質Si膜11のうちで、結晶化させたい領域16のみを覆い、結晶化を抑制したい領域17を露出させる様に、フォトレジストのマスク21を形成する。

そしてこの状態で、 $\text{CO}^{+} 22$ を非晶質Si膜11中へ $5 \times 10^{14} \text{cm}^{-2}$ 以上のドーズ量となる様にイオン注入し、更に、マスク21を除去し、低温の熱処理によって非晶質Si膜11で固相成長を行わせる。

すると、 $\text{CO}^{+} 22$ がイオン注入されていない領域16では、0.5時間程度の熱処理で、結晶化の核12が発生して結晶化が始まる。これに対して、 $\text{CO}^{+} 22$ がイオン注入された領域17では、14.6時間程度の熱処理を行わなければ、核12が発生しない。

従って、第2図に示す様に領域16を領域17で包囲し、固相成長の時間を制御すれば、領域16でのみ結晶化が進行して、領域16は結晶化領

と、炭素または酸素またはこれらを含む物質を前記非晶質半導体膜11へ選択的にイオン注入する工程と、前記イオン注入を行った前記非晶質半導体膜11で固相成長を行わせてこの非晶質半導体膜11を結晶化させる工程とを夫々具備している。

（作用）

本発明による半導体基板の製造方法では、非晶質半導体膜11のうちの選択的にイオン注入した領域において、結晶化の核12の発生率が極めて低い。

（実施例）

以下、本発明の一実施例を第1図～第3図を参照しながら説明する。

本実施例では、第1A図に示す様に、石英基板13上に多結晶Si膜14をCVDで堆積させ、多結晶Si膜14に $\text{Si}^{+} 15$ をイオン注入してこの多結晶Si膜14を非晶質化させる。

但し、最初から非晶質Si膜を石英基板13上に

域のアイランドとなる。つまり、所望の領域に結晶化領域を形成することができる。

また、複数の領域16を互いに離間させて領域17中に形成すれば、結晶化領域の複数のアイランドが形成され、非晶質のままで残っているアイランド間の領域を素子分離領域とすることができる。

また、第3A図に示す様に、非晶質Si膜11のうちの極めて狭い領域を領域16とし、残りの広い領域を領域17とすれば、領域17で核12が発生する前に、領域16で始まった結晶化を領域17にまで広げることができる。

従って、第3B図から明らかな様に、領域16から成長した結晶粒23の粒径が非常に大きく、非晶質Si膜11を単結晶化できる可能性もある。

このため、結晶粒23を有する多結晶Si膜24ではキャリア移動度が高く、この多結晶Si膜24に高性能の薄膜トランジスタ等を形成することができる。

なお、非晶質Si膜11の結晶化を抑制するため

に本実施例では $CO^+ 22$ をイオン注入したが、CやOの単体原子のイオンを用いることもでき、CやOを含む他の分子のイオンを用いることもできる。

#### (発明の効果)

本発明による半導体基板の製造方法では、非晶質半導体膜のうちの選択的にイオン注入した領域において結晶化の核の発生率が極めて低いので、所望の領域のみが結晶化されている半導体基板を製造することができる。

また、イオン注入を行っておらず核の発生率が高い領域からイオン注入を行って核の発生率が低い領域にまで結晶を成長させることによって、結晶粒径の大きな半導体基板を製造することができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を順次に示す側断面図、第2図は一実施例における結晶化の核の発生

状況を示す平面図、第3図は一実施例において結晶粒径の大きな半導体基板を製造する場合を順次に示す側断面図である。

第4図は本発明の一従来例における結晶化の核の発生状況を示しており第2図に対応する平面図である。

なお図面に用いた符号において、

- 11 ..... 非晶質Si膜
- 12 ..... 核
- 13 ..... 石英基板
- 22 .....  $CO^+$
- 23 ..... 結晶粒
- 24 ..... 多結晶Si膜

である。

代 理 人    土 屋    勝

